

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-266311

(43)公開日 平成9年(1997)10月7日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 J
29/786				3 0 1 X
		9447-4M		6 2 2
		9447-4M		6 5 2 H
				6 5 2 F
審査請求 未請求 請求項の数7 O L (全 15 頁) 最終頁に続く				

(21)出願番号 特願平9-4918

(22)出願日 平成9年(1997)1月14日

(31)優先権主張番号 特願平8-7935

(32)優先日 平8(1996)1月22日

(33)優先権主張国 日本 (J P)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

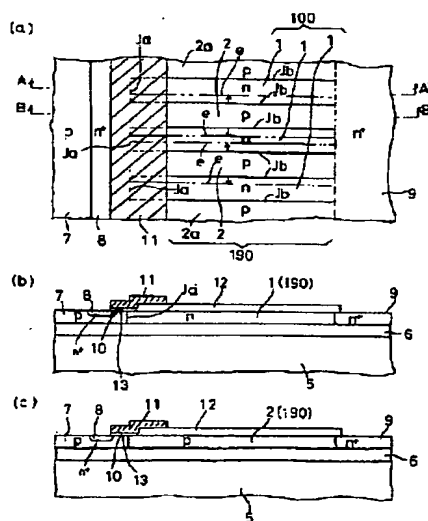
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【課題】 オフ状態で空乏化するドリフト領域の構造を改良することにより、高耐圧で、オン抵抗の低減した半導体装置を提供すること。

【解決手段】 ドレイン・ドリフト領域190は、短冊状のn型分割ドリフト経路域1と短冊状のp型仕切領域2とが平面上で交互に繰り返し配列された構造である。各n型分割ドリフト経路域1の一方端はp型のチャネル拡散層7にpn接合し、他端はn⁺型のドレイン領域9に接続している。並行ドリフト経路群10の最側端の分割ドリフト経路1の外側にはp型側端領域2aが設けられており、すべての分割ドリフト経路域1が側面に沿ってp型領域2(2a)に挟まれている。各p型仕切領域2の一方端はp型のチャネル拡散層7に接続し、他端はn⁺型のドレイン領域9にpn接合している。オフ時には一筋の第2導電型仕切領域の両側面から隣接する双方の第1導電型分割ドリフト経路へ空乏端が進入する。



【特許請求の範囲】

【請求項 1】 オン状態でドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する半導体装置において、前記ドリフト領域は、並列接続した複数の第 1 導電型分割ドリフト経路域を持つ並行ドリフト経路群と、前記第 1 導電型分割ドリフト経路域の相隣る同士の側面間に介在して p n 接合分離する第 2 導電型仕切領域とを有して成ることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記並行ドリフト経路群の最側端の第 1 導電型分割ドリフト経路域の外側に沿って p n 接合分離する第 2 導電型側端領域を有して成ることを特徴とする半導体装置。

【請求項 3】 半導体層又はその上の絶縁膜の上に形成されており、オン状態で横方向にドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する半導体装置において、前記ドリフト領域は、短冊状の第 1 導電型分割ドリフト経路域と短冊状の第 2 導電型仕切領域とが平面上で交互に繰り返して配列されたストライプ状並行構造であることを特徴とする半導体装置。

【請求項 4】 半導体層又はその上の絶縁膜の上に形成されており、オン状態で横方向にドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する半導体装置において、前記ドリフト領域は、層状の第 1 導電型分割ドリフト経路域と層状の第 2 導電型仕切領域とを交互に繰り返し積み重ねて積層された重畳並行構造であることを特徴とする半導体装置。

【請求項 5】 第 2 導電型半導体層上に形成されており、オン状態で横方向にドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する半導体装置において、前記ドリフト領域は、前記第 2 導電型半導体層上に形成された第 1 の第 1 導電型分割ドリフト経路域と、この第 1 の第 1 導電型分割ドリフト経路域の上に形成されたウェル状の第 2 導電型仕切領域と、この第 2 導電型仕切領域の表層に形成され、第 1 の第 1 導電型分割ドリフト経路域に並列接続した第 2 の第 1 導電型分割ドリフト経路域とを有して成ることを特徴とする半導体装置。

【請求項 6】 請求項 5 に規定する半導体装置の製造方法において、シリコンの p 型半導体層上にリンをイオン注入して熱拡散により第 1 の n 型分割ドリフト経路域を形成した後、この第 1 の n 型分割ドリフト経路域上に硼素を選択的にイオン注入して熱拡散によりウェル状の p 型仕切領域を形成し、しかる後、熱酸化処理を施し、シリコン表面でのリンの偏析による高濃度化と硼素の酸化膜中への偏析による低濃度化を利用して表層に第 2 の n 型分割ドリフト経路域を形成して成ることを特徴とする半導体装置の製造方法。

【請求項 7】 半導体層の上に形成されており、オン状態で縦方向にドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する半導体装置において、前記ドリフト領域は、縦方向に層状の第 1 導電型分割ドリフト経路域と縦方向に層状の第 2 導電型仕切領域とを交互に繰り返して隣接した横並び並行構造であることを特徴とする半導体装置。

ト経路域と縦方向に層状の第 2 導電型仕切領域とを交互に繰り返して隣接した横並び並行構造であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（伝導度変調型トランジスタ）、バイポーラトランジスタ、ダイオード等に適用可能の高耐圧且つ大電流量の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】一般に半導体素子は片面に電極部を持つ横型構造と両面に電極部を持つ縦型構造に大別できる。例えば、図 10 は横型構造の SOI（silicon on insulator）-MOSFET を示す。この SOI-MOSFET の構造は n チャネル MOSFET のオフセット・ゲート構造であり、半導体基体 5 上の絶縁膜 6 の上に形成された p 型のチャネル拡散層 7 と、チャネル拡散層 7 の上にゲート絶縁膜 10 を介して形成されたフィールドプレート付きゲート電極 11 と、チャネル拡散層 7 のうちゲート電極 11 の一端側に形成された n⁺ 型のソース領域 8 と、ゲート電極 11 の他端から離間した位置に形成された n⁺ 型のドレイン領域 9 と、ドレイン・ゲート間に延在する n 型低濃度ドレイン領域（ドレイン・ドリフト領域）90 と、この低濃度ドレイン領域 90 上に形成された厚い絶縁膜 12 とを有する。

【0003】低濃度ドレイン領域 90 の部分は、MOSFET がオン状態のときはキャリアを電界によって流すドリフト領域として働き、オフ状態のときは空乏化して電界強度を緩和し耐圧を高める。低濃度ドレイン領域 90 の不純物濃度を高くすることと、その領域 90 の電流経路長を短くすることは、ドリフト抵抗が低くなるので MOSFET の実質的なオン抵抗（ドレイン・ソース抵抗）を下げる効果に繋がるものの、逆に、p 型のチャネル拡散層 7 と n 型低濃度ドレイン領域 90 との p n 接合 J a から進行するドレイン・チャネル間空乏層が広がり難しく、シリコンの最大（臨界）電界強度に早く達するため、耐圧（ドレイン・ソース電圧）が低下してしまう。即ち、オン抵抗（電流容量）と耐圧間にはトレードオフ関係がある。このトレードオフ関係は IGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。

【0004】図 11 は横型構造の MOSFET の別の構造を示す。図 11（a）は p チャネル MOSFET であり、p⁻ 型半導体層 4 上に形成された n 型チャネル拡散層 3 と、チャネル拡散層 3 の上にゲート絶縁膜 10 を介して形成されたフィールドプレート付きゲート電極 11 と、チャネル拡散層 3 のうちゲート電極 11 の一端側に形成された p⁺ 型のソース領域 18 と、ゲート電極 11 の他端側真下にウェル端が位置する p 型低濃度ドレイン

領域（ドレイン・ドリフト領域）14と、ゲート電極11の他端から離間した位置に形成された p^+ 型のドレイン領域19と、 p^+ 型のソース領域18に隣接する n^+ 型のコンタクト領域71と、 p 型低濃度ドレイン14上に形成された厚い絶縁膜12とを有する。このような構造においてもウェル状の p 型低濃度ドレイン領域14の電流経路長さと不純物濃度とによりオン抵抗と耐圧がトレードオフの関係で決定される。

【0005】図11(b)は2重拡散型 n チャネルMOSFETであり、 p -型半導体層4上に形成された n 型低濃度ドレイン層（ドレイン・ドリフト層）22と、低濃度ドレイン層22の上にゲート絶縁膜10を介して形成されたフィールドプレート付きゲート電極11と、低濃度ドレイン層22のうちゲート電極11の一端側に形成されたウェル状の p 型チャネル拡散領域17と、 p 型チャネル拡散領域17内にウェル状に形成された n^+ 型のソース領域8と、ゲート電極11とこれに離間した n^+ 型ドレイン領域9との間の表面層に形成されたウェル状の p 型トップ層24と、 n^+ 型のソース領域8に隣接する p^+ 型のコンタクト領域72と、 p 型トップ層24上に形成された厚い絶縁膜12とを有する。このような構造においても n 型低濃度ドレイン層22の電流経路長さと不純物濃度とによりオン抵抗と耐圧がトレードオフの関係で決定される。

【0006】ただし、図11(b)の構造では、 n 型低濃度ドレイン層22が下側の p -型半導体層4と上側の p 型トップ層24とに挟まれているので、MOSFETのオフ状態のときには p 型チャネル拡散領域17との p - n 接合J aからだけでは無く、 n 型低濃度ドレイン層22の上下の p - n 接合J b、J bからも空乏層が広がる。このため、低濃度ドレイン層22が早く空乏化するので、高耐圧構造となっている。その分、低濃度ドレイン層22の不純物濃度を高くでき、オン抵抗の低減により電流容量の増大を図ることが可能である。

$$BV = E_c^2 \epsilon_0 \epsilon_{Si} \alpha (2 - \alpha) / 2 q N_D \quad (1)$$

E_c : $E_c(N_D)$ 、不純物濃度 N_D でのシリコンの最大電界強度

ϵ_0 : 真空の誘電率

ϵ_{Si} : シリコンの比誘電率

q : 単位電荷

N_D : 低濃度ドレイン領域の不純物濃度

$$R = E_c \epsilon_0 \epsilon_{Si} \alpha / \mu q^2 N_D^2$$

となる。(1)、(2)式より $q N_D$ を消去し、 α の最

$$R = BV^2 (27/8 E_c^3 \epsilon_0 \epsilon_{Si} \mu)$$

が得られる。ここに、オン抵抗 R は耐圧 BV の二乗に比例するように見えるが、 E_c や μ が N_D に依存しているので、図13の①は実際には BV の2.4～2.6乗程度に比例している。

【0009】図13の②は図11(a)に示す横型のMOSFETの構造を n チャネル型に置き換えたMOSF

【0007】他方、縦型構造の半導体素子としては、例えば図12に示すトレンチゲート型の n チャネルMOSFETが知られている。この構造は、裏面電極（図示せず）が導電接触した n^+ 型ドレイン層29の上に形成された n 型低濃度ドレイン層39と、低濃度ドレイン層39の表面側に掘り込まれたトレンチ溝内にゲート絶縁膜10を介して埋め込まれたトレンチゲート電極21と、低濃度ドレイン層39の表層にトレンチゲート電極21の深さ程度に浅く形成された p 型チャネル拡散層27と、トレンチゲート電極21の上縁に沿って形成された n^+ 型ソース領域18と、ゲート電極21を覆う厚い絶縁膜12とを有する。なお、単層の n^+ 型ドレイン層29に代えて、 n^+ 型上層と p^+ 型下層から成る2層構造とすると、 n 型のIGBT構造を得ることができる。このような縦型構造においても、低濃度ドレイン層39の部分は、MOSFETがオン状態のときは縦方向にドリフト電流を成すドリフト領域として働き、オフ状態のときは空乏化して耐圧を高めるが、やはり、オン抵抗と耐圧とは低濃度ドレイン層39の厚さと不純物濃度の如何に支配され、両者間にはトレードオフの関係にある。

【0008】

【発明が解決しようとする課題】図13はシリコンの n チャネルMOSFETの理想耐圧と理想オン抵抗との関係を示すグラフである。理想耐圧は形状効果による p - n 接合耐圧の低下がないと仮定した。理想オン抵抗は低濃度ドレイン領域以外の部分の抵抗を無視できるほど小さいと仮定した。図13の①は図12に示す縦型の n チャネルMOSFETの理想耐圧と理想オン抵抗との関係を示す。縦型素子はオン時にドリフト電流が流れる方向とオフ時の逆バイアスによる空乏層が延びて広がる方向とが同じである。図12の低濃度ドレイン層39のみに着目すると、オフ時の理想耐圧 BV は次式により近似的に求まる。

α : 係数 ($0 < \alpha < 1$)

また、オン時の単位面積当たりの理想オン抵抗は次式により近似的に求まる。

$$R = \alpha W / \mu q N_D$$

μ : $\mu(N_D)$ 、不純物濃度 N_D での電子の移動度

ここで、 $W = E_c \epsilon_0 \epsilon_{Si} / q N_D$ であるので、 R は、

$$(2)$$

適値として例えば2/3を用いると、

$$(3)$$

ETの理想耐圧と理想オン抵抗との関係を示す。この n チャネル型のMOSFETにおいて、オン時にドリフト電流の流れる方向は横方向であるのに対し、オフ時に空乏層の延びる方向はウェル端から横方向ではなく実質的にウェル底から縦方向（上方向）の方が早い。縦方向に延びる空乏層で高耐圧を得るには、低濃度ドレイン領域

14とチャネル拡散層3とのpn接合面(ウェル底)から低濃度ドレイン層14の表面(ウェル表面)まで空乏

$$S_D = E_c \epsilon_0 \epsilon_{Si} / q$$

に制限される。低濃度ドレイン領域14の横方向の長さ

$$BV = E_c L \beta$$

となる。ただし、 β は未知の係数($0 < \beta < 1$)であ

$$R = L^2 / \mu q S_D$$

で近似的に求まる。従って、(5)、(6)式からLを

$$R = BV^2 / \beta^2 E_c^3 \epsilon_0 \epsilon_{Si} \mu$$

図13の③は図11(b)に示す横型の2重拡散型のnチャネルMOSFETの構造の理想耐圧と理想オン抵抗との関係を示す。図11(b)の構造においては、図11(a)の構造にp型トップ層24が設けられており、

$$S_D = 2 E_c \epsilon_0 \epsilon_{Si} / q$$

かかる場合の理想オン抵抗Rと理想耐圧BVとの関係

$$R = BV^2 / 2 \beta^2 E_c^3 \epsilon_0 \epsilon_{Si} \mu$$

となる。

【0010】図13の③は②に比べオン抵抗と耐圧のトレードオフ関係が多少改善されているものの、高々2倍の濃度にまでしか設定することができず、半導体素子の電流容量と耐圧の設計自由度は依然として、低いものとなっている。

【0011】そこで、上記問題点に鑑み、本発明の第1の課題は、ドリフト領域の構造を改善することにより、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和させて、高耐圧でありながら、オン抵抗の低減化による電流容量の増大が可能な半導体装置を提供することにある。本発明の第2の課題をその半導体装置を量産性良く製造し得る製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明の講じた手段は、例えばMOSFETの低濃度ドレイン領域の如く、オン状態でドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する半導体装置において、そのドリフト領域を図1に模式的に示す如く、層状構造、繊維状構造ないし蜂の巣構造等の並行分割構造とすると共に、第1導電型分割ドリフト経路域1の相隣る同士の側面間(境界)に介在してpn接合分離する第2導電型仕切領域2を設けたところにある。

【0013】即ち、図1(a)に示す如く、ドリフト領域は、少なくとも端部において互いに並列接続する2枚以上のプレート状の第1導電型(例えばn型)分割ドリフト経路域1を持つ層状構造の並行ドリフト経路群(分割ドリフト経路集合体)100と、分割ドリフト経路域1, 1間に介在してpn接合分離するプレート状の第2導電型(例えばp型)仕切領域2とを有して成る。複数枚の第2導電型仕切領域2は少なくとも端部において互いに並列接続している。

【0014】また、図1(b)に示すドリフト領域の構造は繊維状構造であり、筋状の第1導電型(n型)分割

化されなければならない。従って、低濃度ドレイン領域14のネットのドーピング量の最大値は、

(4)

をLとしたとき、理想耐圧BVは、

(5)

る。また、単位面積当たりの理想オン抵抗Rは、

(6)

消去して(4)式を代入すると、

(7)

上下両側から延びる空乏層により低濃度ドレイン層22がピンチ的に早期空乏化する。低濃度ドレイン領域22のネットドーピング量 S_D は図11(a)のそれに比して2倍程度まで高めることが可能である。

(8)

は、

(9)

ドリフト経路域1と、筋状の第2導電型(p型)仕切領域2とは集合体断面で市松状に配置されている。

【0015】更に、図1(c)に示す第1導電型(n型)分割ドリフト経路域1は四隅に連結部位1aを有している。

【0016】図1(a)で良く判るように、並行ドリフト経路群100の最側端(最上端又は最下端)の第1導電型分割ドリフト経路域1の外側に沿ってpn接合分離する第2導電型側端領域2aを設けても良い。

【0017】半導体装置がオン状態のときは、複数の並列接続した分割ドリフト経路域1, 1を介してドリフト電流が流れるが、他方、オフ状態のときは第1導電型分割ドリフト経路域1と第2導電型仕切領域2とのpn接合からそれぞれ空乏層が第1導電型分割ドリフト経路1内に広がってこれが空乏化される。一筋の第2導電型仕切領域2の両側面から空乏端が側方へ広がるので空乏化が非常に早まる。また第2導電型仕切領域2も同時に空乏化される。このため、半導体装置は高耐圧となり、n型分割ドリフト経路域1の不純物濃度を高めることが可能であるので、オン抵抗の低減を実現できる。特に、本発明では、一筋の第2導電型仕切領域2の両側面から隣接する第1導電型分割ドリフト経路域1, 1の双方へ空乏端が進入するようになっており、双方へ広がる空乏端が分割ドリフト経路域1, 1へ有効的に作用しているので、空乏層形成のための第2導電型仕切領域2の総占有幅を半減でき、その分、第1導電型分割ドリフト経路域1の断面積の拡大を図ることができ、従前に比してオン抵抗が頗る低減する。第2導電型仕切領域2の占有幅は僅少であることが好ましい。また、第2導電型仕切領域2の不純物濃度は低い方が望ましい。第1導電型分割ドリフト経路域1の単位面積当たりの本数(分割数)を増やすにつれ、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和できる。

【0018】本発明において一筋の第1導電型分割ドリ

フト経路域1に関する理想オン抵抗 r と理想耐圧 BV とのトレードオフ関係式は、第2導電型仕切領域2の幅を

$$r = NR = BV^2 / 2 \beta^2 E_c^3 \epsilon_0 \epsilon_{Si} \mu \quad (10)$$

であり、並行ドリフト経路群全体の理想オン抵抗 R と理想耐圧 BV の関係は、

$$R = BV^2 / 2 N \beta^2 E_c^3 \epsilon_0 \epsilon_{Si} \mu \quad (11)$$

となる。従って、ドリフト領域の分割数 N を多ければ多い程、オン抵抗の頗る低減した半導体装置を実現できることが判る。

【0019】SOIや半導体層上に作り込んだ横型半導体装置のように、半導体層又はその上の絶縁膜の上に形成され、オン状態で横方向にドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する横型の半導体装置において、上記ドリフト領域としては、短冊状の第1導電型分割ドリフト経路域と短冊状の第2導電型仕切領域とが平面上で交互に繰り返し配列されたストライプ状並行構造とすることができる。このような平面上のストライプ状の $p-n$ の繰り返し構造は1回のフォトリソグラフィで形成可能であるので、製造プロセスの簡易化により素子の低コスト化も図ることができる。

【0020】また、横型半導体装置におけるドリフト領域の別の構造としては、層状の第1導電型分割ドリフト経路域と層状の第2導電型仕切領域とを交互に繰り返し積み重ねて積層された重畳並行構造とすることができる。かかる構造では、MOCVD（有機金属気相分解結晶成長法）やMBE（分子線結晶成長法）を用いると、層厚の微細化が可能であるので、オン抵抗と耐圧のトレードオフ関係を大幅に緩和できる。

【0021】なお、重畳並行構造にストライプ状並行構造を加味した構造でも良い。

【0022】 $N=2$ の場合、並行ドリフト経路群としては少なくとも2筋の分割ドリフト経路域から成る。本発明におけるこの最も簡素な横型半導体装置のドリフト領域としては、第2導電型半導体層上に形成された第1の第1導電型分割ドリフト経路域と、この第1の第1導電型分割ドリフト経路域の上に形成されたウェル状の第2導電型仕切領域と、この第2導電型仕切領域の表層に形成され、第1の第1導電型分割ドリフト経路に並列接続した第2の第1導電型分割ドリフト経路域とを有して成る。第2の第1導電型分割ドリフト経路域が並列に接続している分、オン抵抗の低減を図ることができる。

【0023】そして、このような最も簡素な横型半導体装置の製造方法としては、シリコンの p 型半導体層上にリンをイオン注入して熱拡散により第1の n 型分割ドリフト経路域を形成した後、この第1の n 型分割ドリフト経路域上に硼素を選択的にイオン注入して熱拡散によりウェル状の p 型仕切領域を形成し、しかる後、熱酸化処理を施し、シリコン表面でのリンの偏析による高濃度化と硼素の酸化膜中への偏析による低濃度化を利用して表層に第2の n 型分割ドリフト経路域を形成して成ることを特徴とする。

無限小と仮定すれば、一筋の理想オン抵抗 r は（9）式の理想オン抵抗 R の N 倍に相当しているので、

$$(10)$$

理想耐圧 BV の関係は、

$$(11)$$

【0024】第2の n 型分割ドリフト経路域の上層には逆導電型層が隣接していないため、第2の n 型分割ドリフト経路域を空乏化し易くするには薄層であればある程よい。本発明の製造方法によれば、不純物のドーピング工程を排除し、熱酸化処理工程だけで第2の n 型分割ドリフト経路域を形成できるので、工程数の削減に寄与し、実用的な量産化が可能となる。

【0025】更に、トレンチゲート等を用いた半導体装置やIGBT等の縦型半導体装置のように、半導体層の上に形成され、オン状態で縦方向にドリフト電流を流すと共にオフ状態で空乏化するドリフト領域を有する半導体装置において、ドリフト領域としては、縦方向に層状の第1導電型分割ドリフト経路域と縦方向に層状の第2導電型仕切領域とを交互に繰り返し隣接した横並び並行構造とすることができる。かかる構造の製造方法では深い溝を形成するエッチング工程を必要とするが、縦型構造でもオン抵抗と耐圧のトレードオフ関係を大幅に緩和できる。

【0026】

【発明の実施の形態】次に、本発明の実施形態を添付図面に基いて説明する。

【0027】〔実施形態1〕図2（a）は本発明の実施形態1に係る横型構造のSOI-MOSFETを示す平面図、図2（b）は図2（a）中のA-A'線で切断した状態を示す切断図、図2（c）は図2（a）中のB-B'線で切断した状態を示す切断図である。

【0028】本例のSOI-MOSFETの構造は、図10に示す構造と同様に、 n チャネルMOSFETのオフセット・ゲート構造であり、半導体基体5上の絶縁膜6の上に形成された p 型のチャネル拡散領域7と、チャネル拡散領域7の上にゲート絶縁膜10を介して形成されたフィールドプレート付きゲート電極11と、チャネル拡散領域7のうちゲート電極11の一端側に形成された n^+ 型のソース領域8と、ゲート電極11の他端から離間した位置に形成された n^+ 型のドレイン領域9と、ドレイン・ゲート間に延在するドレイン・ドリフト領域190と、このドレイン・ドリフト領域190上に形成された厚い絶縁膜12とを有する。

【0029】本例におけるドレイン・ドリフト領域190は、短冊状の n 型分割ドリフト経路域1と短冊状の p 型仕切領域2とが平面上で交互に繰り返し配列されたストライプ状並行構造となっている。複数の n 型分割ドリフト経路域1の一方端は p 型のチャネル拡散領域7に $p-n$ 接合し、それらの他端は n^+ 型のドレイン領域9に接続しており、 n^+ 型のドレイン領域9側から分岐して並

列接続のドリフト経路群100を形成している。並行ドリフト経路群100の最側端の分割ドリフト経路域1の外側にはストライプ状のp型側端領域2aが設けられており、すべての分割ドリフト経路域1が側面に沿ってp型半導体領域2(2a)に挟まれている。また、複数のp型仕切領域2の一方端はp型のチャネル拡散領域7に接続し、それらの他端はn+型のドレイン領域9にpn接合しており、p型のチャネル拡散領域7側から分岐して並列接続となっている。

【0030】MOSFETがオン状態のときは、ゲート絶縁膜10直下のチャネル反転層13を介してn+型のソース領域8から複数のn型分割ドリフト経路域1にキャリア(電子)が流れ込み、ドレイン・ソース間電圧による電界でドリフト電流が流れる。他方、オフ状態のときはゲート絶縁膜10直下のチャネル反転層13が消失し、ドレイン・ソース間電圧により、n型分割ドリフト経路域1とp型のチャネル拡散領域7とのpn接合J a、n型分割ドリフト経路域1とp型仕切領域2とのpn接合J bからそれぞれ空乏層がn型分割ドリフト経路域1内に広がってこれが空乏化される。pn接合J aからの空乏端はn型分割ドリフト経路域1内の経路長さ方向に広がるが、pn接合J bからの空乏端eはn型分割ドリフト経路域1内の経路幅方向に広がり、しかも両側面から空乏端eが広がるので空乏化が非常に早まる。またp型仕切領域2も同時に空乏化される。このため、電界強度が緩和され、高耐圧となり、その分、n型分割ドリフト経路域1の不純物濃度を高めることが可能であるので、オン抵抗が低減する。特に、本例では、p型仕切領域2の両側面から隣接するn型分割ドリフト経路域1、1の双方へ空乏端eが進入するようになっているので、空乏層形成のためのp型仕切領域2の総占有幅を半減でき、その分、n型分割ドリフト経路域1の断面積の拡大を図ることができ、従前に比してオン抵抗が低減する。n型分割ドリフト経路域1の単位面積当たりの本数(分割数)Nを増やすにつれ、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和できる。2本より3本以上の方が顕著となる。なお、p型仕切領域2の占有幅は僅少であることが好ましい。

【0031】ここで、理想耐圧BVを例えば100Vと仮定し、n型分割ドリフト経路域1の不純物濃度 $N_D = 3 \times 10^{15} \text{ (cm}^{-3}\text{)}$ 、シリコンの最大電界強度 $E_c = 3 \times 10^5 \text{ (V/cm)}$ 、電子の移動度 $\mu = 1000 \text{ (cm}^2/\text{V} \cdot \text{sec})$ 、真空の誘電率 $\epsilon_0 = 8.8 \times 10^{-12} \text{ (C/V} \cdot \text{m)}$ 、シリコンの比誘電率 $\epsilon_{Si} = 12$ 、単位電荷 $q = 1.6 \times 10^{-19} \text{ (C)}$ とする。図10に示す低濃度ドレイン領域90では、長さ $6.6 \mu\text{m}$ 、厚さ $1 \mu\text{m}$ のとき、理想オン抵抗Rは $9.1 \text{ (m}\Omega \cdot \text{cm}^2\text{)}$ である。これに対して本例では、n型分割ドリフト経路域1とp型仕切領域2の幅を例えば $10 \mu\text{m}$ 、 $1 \mu\text{m}$ 、 $0.1 \mu\text{m}$ の値として理想オン抵抗Rを計算すると($\beta = 2/3$ 、n型分割ドリフト経路域

1とp型仕切領域の長さを $5 \mu\text{m}$ と仮定)、幅 $10 \mu\text{m}$ のとき、 $7.9 \text{ (m}\Omega \cdot \text{cm}^2\text{)}$
幅 $1 \mu\text{m}$ のとき、 $0.8 \text{ (m}\Omega \cdot \text{cm}^2\text{)}$
幅 $0.1 \mu\text{m}$ のとき、 $0.08 \text{ (m}\Omega \cdot \text{cm}^2\text{)}$

となり、幅 $1 \mu\text{m}$ 以下になると劇的な低オン抵抗化が可能である。p型仕切領域2の幅をn型分割ドリフト経路域1の幅よりも僅少にすれば、なおその効果が顕著となる。n型分割ドリフト経路域1とp型仕切領域の幅はフォトリソグラフィとイオン注入により現在 $0.5 \mu\text{m}$ 程度までが量産レベルの限界であるが、微細加工技術の着実な進展により今後更なる幅寸法の縮小化が可能となるので、オン抵抗を顕著に低減できる。

【0032】特に、本例のドリフト領域の構造は、平面上のストライプ状のpnの繰り返し構造であるため、1回のフォトリソグラフィーで形成可能であるので、製造プロセスの簡易化により素子の低コスト化も図ることができる。

【0033】〔実施形態2〕図3(a)は本発明の実施形態2に係る2重拡散型nチャネルMOSFETを示す平面図、図3(b)は図3(a)中のA-A'線で切断した状態を示す切断図、図3(c)は図3(a)中のB-B'線で切断した状態を示す切断図である。

【0034】本例の2重拡散型nチャネルMOSFETの構造は図11(b)に示す構造を改善したものであり、p-型又はn-型の半導体層4上に形成されたドレイン・ドリフト領域122と、ドレイン・ドリフト領域122の上にゲート絶縁膜10を介して形成されたフィールドプレート付きゲート電極11と、ドレイン・ドリフト領域122のうちゲート電極11の一端側に形成されたウェル状のp型チャネル拡散領域17と、p型チャネル拡散領域17内にウェル状に形成されたn+型のソース領域8と、ゲート電極11に離間したn+型ドレイン領域9と、ドレイン・ドリフト領域122上に形成された厚い絶縁膜12とを有する。

【0035】本例におけるドレイン・ドリフト領域122も、図2に示す実施例1と同様に、短冊状のn型分割ドリフト経路域1と短冊状のp型仕切領域2とが平面上で交互に繰り返し配列されたストライプ状の並行構造となっている。そして、複数のn型分割ドリフト経路域1の一方端はp型のチャネル拡散領域17にpn接合し、それらの他端はn+型のドレイン領域9に接続しており、n+型のドレイン9側から分岐して並列接続の並行ドリフト経路群100を形成している。並行ドリフト経路群100の最側端の分割ドリフト経路域1の外側にはこれを挟み込むためのp型側端領域2aが設けられており、すべての分割ドリフト経路域1が側面に沿ってp型領域2(2a)に挟まれている。また、複数のp型仕切領域2の一方端はp型のチャネル拡散領域7に接続し、それらの他端はn+型のドレイン領域9にpn接合しており、p型のチャネル拡散領域7側から分岐して並列接

続となっている。

【0036】本例においても、オフ状態のときは、 $p-n$ 接合 Jb からの空乏端が n 型分割ドリフト経路域 1 内の経路幅方向に広がり、しかも両側面から空乏端が広がるので空乏化が非常に早まる。また同時に p 型仕切領域 2 も空乏化される。このため、実施例 1 と同様に、高耐圧となり、 n 型分割ドリフト経路域 1 の不純物濃度を高めることが可能であるので、オン抵抗の低減を実現できる。

【0037】ここで、図 11 (b) に示す従来構造と理想耐圧 100 V で比較してみると、図 11 (b) に示す従来構造ではオン抵抗が約 0.5 (m オーム・cm²) であるのに対して、本例の構造では実施例 1 と同様に分割ドリフト経路域 1 と p 型仕切領域 2 の厚さが 1 μ m、幅が 0.5 μ m であるとき、オン抵抗が 0.4 (m オーム・cm²) である。分割ドリフト経路域 1 と p 型仕切領域 2 の幅を更に僅少化することによりオン抵抗の大幅低減が可能である。なお、分割ドリフト経路域 1 と p 型仕切領域 2 の厚さを厚くすることで、分割ドリフト経路 1 の抵抗断面積を大きくしてオン抵抗の低減を図ることができる。例えば 10 μ m にすればオン抵抗は 1/10、100 μ m にすればオン抵抗は 1/100 にすることができる。このような厚い領域のドーピングのためには、同じ部位に複数の (若しくは連続的に異なる) エネルギーで不純物イオン注入を行えば良い。

【0038】〔実施形態 3〕図 4 (a) は本発明の実施形態 3 に係る横型構造の SOI-MOSFET を示す平面図、図 4 (b) は図 4 (a) 中の A-A' 線で切断した状態を示す切断図、図 4 (c) は図 4 (a) 中の B-B' 線で切断した状態を示す切断図である。

【0039】本例の SOI-MOSFET の構造は、半導体基体 5 上の絶縁膜 6 の上に形成された p 型のチャネル拡散層 7 7 と、チャネル拡散層 7 7 の側壁上にゲート絶縁膜 10 を介して形成されたトレンチゲート電極 11 1 と、トレンチゲート電極 11 1 の上縁に沿って形成された n^+ 型のソース領域 8 8 と、トレンチゲート電極 11 1 から離間した位置に形成された n^+ 型のドレイン領域 9 9 と、ドレイン・ゲート間に延在するドレイン・ドリフト領域 2 9 0 と、このドレイン・ドリフト領域 2 9 0 上に形成された厚い絶縁膜 12 とを有する。

【0040】本例におけるドレイン・ドリフト領域 2 9 0 は、実施形態 1 の場合とは異なり、プレート状の n 型分割ドリフト経路域 1 とプレート状の p 型仕切領域 2 とが交互に繰り返して積み重ねて積層された重畳並行構造となっている。最下位の n 型分割ドリフト経路域 1 の真下には p 型側端領域 2 a が形成されており、また最上位の n 型分割ドリフト経路域 1 の上にも p 型側端領域 2 a が形成されている。この p 型側端領域 2 a のネットドーピング量は $2 \times 10^{12}/\text{cm}^2$ 以下とする。複数の n 型分割ドリフト経路域 1 の一方端は p 型のチャネル拡散層 7 7 に

$p-n$ 接合し、それらの他端は n^+ 型のドレイン領域 9 9 に接続しており、 n^+ 型のドレイン 9 9 側から分岐して並列接続の並行ドリフト経路群 100 を形成している。また、複数の p 型仕切領域 2 の一方端は p 型のチャネル拡散層 7 7 に接続し、それらの他端は n^+ 型のドレイン領域 9 9 に $p-n$ 接合しており、 p 型のチャネル拡散層 7 7 側から分岐して並列接続となっている。

【0041】この層状構造においても、理想オン抵抗は前述の (11) 式で与えられ、 N は n 型分割ドリフト経路域 1 の積み重ね枚数である。理想耐圧 100 V としたとき、従来構造 ($N=1$) では、理想オン抵抗 $R=0.5$ (m オーム・cm²) であるが、本例では $N=10$ の場合、 $R=0.05$ (m オーム・cm²) となり、分割数 N に逆比例してオン抵抗が激減する。

【0042】ところで、図 2 及び図 3 に示す実施形態のキーテクノロジーはフォトリソグラフィとイオン注入であったのに対し、図 4 に示す本例のキーテクノロジーは、プレート状の n 型分割ドリフト経路域 1 とプレート状の p 型仕切領域 2 とを交互に繰り返して積層するための結晶成長法である。積層数を増やして行くと総厚が厚くなり、また結晶成長に要する時間が長くなるため、不純物の拡散による不純物分布の乱れが無視できなくなる。理想的には、 n 型分割ドリフト経路域 1 と p 型仕切領域 2 を可能な限り薄く形成し、不純物分布の乱れが無視できる位の低温で結晶成長させることが好ましい。そのため、シリコン技術で多用されているエピタキシャル成長法よりも、ガリウム-砒素等の化合物半導体で用いられる MOCVD (有機金属気相分解結晶成長法) や MBE (分子線結晶成長法) が適している。これによれば、層状の n 型分割ドリフト経路域 1 と層状の p 型仕切領域 2 の層厚を微細化でき、オン抵抗の頗る低減が可能となる。

【0043】なお、本例の場合、 n 型分割ドリフト経路域 1 と p 型仕切領域 2 を薄く形成し、不純物濃度を高めると、チャネル反転層 13 が形成し難くなり、チャネル抵抗が下げ難く、結果としてオン抵抗が下げ難い。これを改善するためには、 n 型分割ドリフト経路域 1 と p 型仕切領域 2 のうちゲート絶縁膜 10 に接する部分を局部的に低濃度領域とすることが有効である。

【0044】〔実施形態 4〕図 5 (a) は本発明の実施形態 4 に係る横型構造の MOSFET を示す平面図、図 5 (b) は図 5 (a) 中の A-A' 線で切断した状態を示す切断図、図 5 (c) は図 5 (a) 中の B-B' 線で切断した状態を示す切断図である。

【0045】本例の MOSFET の構造は、 p^- 型又は n^- 型の半導体層 4 上に形成された p 型のチャネル拡散層 7 7 と、チャネル拡散層 7 7 の側壁上にゲート絶縁膜 10 を介して形成されたトレンチゲート電極 11 1 と、トレンチゲート電極 11 1 の上縁に沿って形成された n^+ 型のソース領域 8 8 と、トレンチゲート電極 11 1 か

ら離間した位置に形成された n^+ 型のドレイン領域99と、ドレイン・ゲート間に延在するドレイン・ドリフト領域290と、このドレイン・ドリフト領域290上に形成された厚い絶縁膜12とを有する。

【0046】本例におけるドレイン・ドリフト領域290は、実施形態3の場合と同様であり、プレート状の n 型分割ドリフト経路域1とプレート状の p 型仕切領域2とが交互に繰り返し積層された並行構造となっている。最下位の n 型分割ドリフト経路域1の真下には p 型側端領域2aが形成されており、また最上位の n 型分割ドリフト経路域1の上にも p 型側端領域2aが形成されている。この p 型側端領域2aのネットドーピング量は $2 \times 10^{12}/\text{cm}^2$ 以下とする。複数の n 型分割ドリフト経路域1の一方端は p 型のチャンネル拡散層77に p - n 接合し、それらの他端は n^+ 型のドレイン領域99に接続しており、 n^+ 型のドレイン99側から分岐して並列接続の並行ドリフト経路群100を形成している。また、複数の p 型仕切領域2の一方端は p 型のチャンネル拡散層77に接続し、それらの他端は n^+ 型のドレイン領域99に p - n 接合しており、 p 型のチャンネル拡散層77側から分岐して並列接続となっている。

【0047】本例は実施形態3と同様にオン抵抗の低減と高耐圧化を図ることができる。なお、本例と図4に示す実施形態3との関係は、図3に示す実施形態2と図2に示す実施形態1との関係に相当している。図2の実施形態に対する図3の実施形態と同じく、本例はSOIではない点で低コスト化を図ることができる。

【0048】〔実施形態5〕図6(a)は本発明の実施形態5に係る横型構造の p チャンネルMOSFETを示す断面図であり、図11(a)の改善例に相当している。

【0049】本例の構造は、 p^- 型半導体層4上に形成された n 型チャンネル拡散層3と、チャンネル拡散層3の上にゲート絶縁膜10を介して形成されたフィールドプレート付きゲート電極11と、チャンネル拡散層3のうちゲート電極11の一端側に形成された p^+ 型のソース領域18と、ゲート電極11の他端側真下にウェル端が位置する p 型ドレイン・ドリフト領域14と、この p 型ドレイン・ドリフト領域14の表層に形成された n 型側端領域2bと、ゲート電極11の他端から離間した位置に形成された p^+ 型のドレイン領域19と、 p^+ 型のソース領域18に隣接する n^+ 型のコンタクト領域71と、 p 型ドレイン・ドリフト14上に形成された厚い絶縁膜12とを有する。

【0050】本例の場合、ドレイン領域の分割数は1で、 p 型ドレイン・ドリフト領域14は断面上では一筋の分割ドレイン経路域1に相当している。この p 型ドレイン・ドリフト領域14の上の n 型側端領域2bの厚さは空乏化を早めるため薄く形成されている。図11

(a)の構造と比べると、本例では n 型側端領域2bが形成されており、 p 型ドレイン・ドリフト領域14の下

側のチャンネル拡散層3からの空乏層と上側の n 型側端領域2aからの空乏層とで空乏化を促進するようにしている。図11(a)のドレイン・ドリフト領域14のネットドーピング量は $1 \times 10^{12}/\text{cm}^2$ 程度であるのに対し、本例では約 $2 \times 10^{12}/\text{cm}^2$ 程度と2倍になっている。従って、高耐圧化を実現できる分、ドレイン・ドリフト領域14の不純物濃度を高めることができ、低オン抵抗化が可能である。

【0051】〔実施形態6〕図6(b)は本発明の実施形態6に係る横型構造の n チャンネルMOSFETを示す断面図であり、図11(b)の改善例に相当している。

【0052】本例は2重拡散型 n チャンネルMOSFETであり、 p^- 型半導体層4(p 型側端領域2a)上に形成されたドレイン・ドリフト領域22(第1の n 型分割ドリフト経路域1)と、ゲート絶縁膜10を介して形成されたフィールドプレート付きゲート電極11と、ドレイン・ドリフト領域22のうちゲート電極11の一端側に形成されたウェル状の p 型チャンネル拡散領域17と、 p 型チャンネル拡散領域17内にウェル状に形成された n^+ 型のソース領域8と、ゲート電極11とこれに離間した n^+ 型ドレイン領域9との間の表面層に形成された p 型トップ層24(p 型仕切領域2)と、 p 型仕切領域2の表層に形成された第2の n 型分割ドリフト経路域1と、 n^+ 型のソース領域8に隣接する p^+ 型のコンタクト領域72と、 p 型仕切領域2上に形成された厚い絶縁膜12とを有する。

【0053】下層のドレイン・ドリフト領域22と上層の分割ドリフト経路域1は p 型仕切領域2を挟んで並列接続している。図11(b)の構造と比べると、本例では p 型仕切領域2の上に分割ドリフト経路域1を並設した点にある。前述したように、 p 型仕切領域2から下層のドレイン・ドリフト領域22と上層の分割ドリフト経路域1の双方に空乏層が広がるようになっていたため、高耐圧化を図ることができ、その分、オン抵抗を低減させることができる。図11(b)のドリフト領域22のネットドーピング量は $2 \times 10^{12}/\text{cm}^2$ 程度であるのに対し、本例では下層のドレイン・ドリフト領域22と上層の分割ドリフト経路域1とのドーピング量を合わせて、約 $3 \times 10^{12}/\text{cm}^2$ 程度と1.5倍にすることができる。本例の構造によれば、図13中の④に示す理想耐圧と理想オン抵抗とのトレードオフ関係を得ることができる。明らかに、従来構造に比して理想耐圧と理想オン抵抗のトレードオフ関係を緩和できることが判明した。

【0054】なお、実施形態5、6の構造を得るための製造方法としては、まず、 p^- 型半導体層4へのリンのイオン注入と熱処理(熱拡散)により n 型半導体層3(22)を形成した後、この n 型半導体層3(22)表面への選択的な硼素のイオン注入と熱処理(熱拡散)によって p 型領域14(24)を形成し、しかる後、熱酸化処理を施し、シリコン表面でのリンの偏析による高濃

度化と硼素の酸化膜中への偏析による低濃度化を利用して表層に薄い n 型側端領域 2 b (n 型分割ドリフト経路域 1) を形成する。n 型側端領域 2 b や n 型分割ドリフト経路域 1 の上層には逆導電型層が隣接していないため、空乏化し易くするには薄層であればある程よい。従って、熱酸化処理工程だけで n 型側端領域 2 b (n 型分割ドリフト経路 1) を形成できる利益は、工程数の削減に寄与し、量産化を可能とする。

【0055】実施形態 5 においては、n 型側端領域 2 b がゲート絶縁膜 10 とドレイン・ドリフト領域 14 と隔てているが、これは上記の製造方法を用いているため、シリコン表層に全面的に n 型側端領域 2 b が形成されてしまうからである。しかし、n 型側端領域 2 b が薄ければ、ゲート 10 直下に形成されるチャンネル反転層によってドレイン・ドリフト領域 14 が導通するので問題は起らない。

【0056】〔実施形態 7〕図 7 (a) は本発明の実施形態 7 に係る縦型構造のトレンチゲート型の n チャンネル MOSFET を示す平面図、図 7 (b) は図 7 (a) 中の A-A' 線に沿って切断した状態を示す切断図、図 8 (a) は図 7 (a) 中の B-B' 線に沿って切断した状態を示す切断図、図 8 (b) は図 7 (b) 中の C-C' 線に沿って切断した状態を示す切断図、図 9 (a) は図 7 (a) 中の D-D' 線に沿って切断した状態を示す切断図、図 9 (b) は図 7 (a) 中の E-E' 線に沿って切断した状態を示す切断図である。

【0057】本例の構造は、裏面電極 (図示せず) が導電接触した n+ 型ドレイン層 29 と、この上に形成されたドレイン・ドリフト層 139 と、ドレイン・ドリフト層 139 の表面側に掘り込まれたトレンチ溝内にゲート絶縁膜 10 を介して埋め込まれたトレンチゲート電極 21 と、ドレイン・ドリフト層 139 の表層にトレンチゲート電極 21 の深さ程度に浅く形成された p 型チャンネル層 27 と、トレンチゲート電極 21 の上縁に沿って形成された n+ 型ソース領域 18 と、ゲート電極 21 を覆う厚い絶縁膜 12 とを有する。なお、単層の n+ 型ドレイン層 29 に代えて、n+ 型上層と p+ 型下層から成る 2 層構造又は p 型層とすると、n 型の IGBT 構造を得ることができる。

【0058】本例におけるドレイン・ドリフト層 139 は、図 8 (b) 及び図 9 に示す如く、縦方向にプレート状の n 型分割ドリフト経路域 1 と縦方向にプレート状の p 型仕切領域 2 とが交互に繰り返し隣接した横並び並行構造となっている。複数枚の n 型分割ドリフト経路域 1 の上端は p 型のチャンネル拡散層 27 に p n 接合し、それらの下端は n+ 型のドレイン層 29 に接続しており、n+ 型のドレイン層 29 側から分岐して並列接続の並行ドリフト経路群 100 を形成している。図示されていないが、並行ドリフト経路群 100 の最側端の分割ドリフト経路域 1 の外側には p 型側端領域が設けられており、す

べての分割ドリフト経路域 1 が側面に沿って p 型仕切領域 2 又は p 型側端領域に挟まっている。また、複数の p 型仕切領域 2 の上方端は p 型のチャンネル拡散層 27 に接続し、それらの下端は n+ 型のドレイン層 29 に p n 接合しており、p 型のチャンネル拡散層 27 側から分岐して並列接続となっている。

【0059】オフ状態のときはゲート絶縁膜 10 直下のチャンネル反転層 13 が消失し、ドレイン・ソース間電圧により、n 型分割ドリフト経路域 1 と p 型のチャンネル拡散層 27 との p n 接合 J a、n 型分割ドリフト経路域 1 と p 型仕切領域 2 との p n 接合 J b からそれぞれ空乏層が n 型分割ドリフト経路域 1 内に広がってこれが空乏化される。p n 接合 J a からの空乏端は n 型分割ドリフト経路域 1 内の経路長さ方向に広がるが、p n 接合 J b からの空乏端は n 型分割ドリフト経路域 1 内の経路幅方向に広がり、しかも両側面から空乏端が広がるので空乏化が非常に早まる。また p 型仕切領域 2 も同時に空乏化される。特に、p 型仕切領域 2 の両側面から隣接する n 型分割ドリフト経路 1、1 の双方へ空乏端が進入するようになっているので、空乏層形成のための p 型仕切領域 2 の総占有幅を半減でき、その分、n 型分割ドリフト経路域 1 の断面積の拡大を図ることができ、従前に比してオン抵抗が低減する。n 型分割ドリフト経路 1 の単位面積当たりの本数 (分割数) を増やすにつれ、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和できる。

【0060】理想耐圧 100 V の n チャンネル MOSFET (図 12 に示す従来構造) での理想オン抵抗と比較すると、従来構造の場合、図 13 の④により、理想オン抵抗 $R = \text{約} 0.6 \text{ (m オーム} \cdot \text{cm}^2 \text{)}$ であるが、本例の場合、n 型分割ドリフト経路域 1 と p 型仕切領域 2 の深さ (経路長) を約 $5 \mu\text{m}$ 、 $\beta = 2/3$ と仮定し、n 型分割ドリフト経路域 1 と p 型仕切領域 2 の積層方向の厚さを例えば $10 \mu\text{m}$ 、 $1 \mu\text{m}$ 、 $0.1 \mu\text{m}$ の値として計算すると、
厚さ $10 \mu\text{m}$ のとき、 $1.6 \text{ (m オーム} \cdot \text{cm}^2 \text{)}$
厚さ $1 \mu\text{m}$ のとき、 $0.16 \text{ (m オーム} \cdot \text{cm}^2 \text{)}$
厚さ $0.1 \mu\text{m}$ のとき、 $0.016 \text{ (m オーム} \cdot \text{cm}^2 \text{)}$
となり、 μm オーダでも劇的な低オン抵抗化が可能である。p 型仕切領域 2 の幅を n 型分割ドリフト経路域 1 の幅よりも僅少にすれば、なおその効果が顕著となる。n 型分割ドリフト経路域 1 と p 型仕切領域の幅はフォトリソグラフィとイオン注入により現在 $0.5 \mu\text{m}$ 程度までが量産レベルの限界であるが、微細加工技術の着実な進展により今後更なる幅寸法の縮小化が可能となるので、オン抵抗を顕著に低減できる。

【0061】本例のように、縦方向に配列した n 型分割ドリフト経路域 1 と p 型仕切領域 2 の繰り返し構造は、横型半導体構造の場合に比して製法上難しい面もあるが、例えば、ドレイン層 29 の上にエピタキシャル成長により n 型層を形成した後、その n 型層をストライプ状に間隔を空けてエッチング除去し、そのエッチング溝を

p 型のエピタキシャル成長により埋め、不要部分を研磨除去する方法を採用することができる。また、中性子線や飛程の大きい高エネルギー粒子の選択的打ち込みとこれによる核変換を利用して選択的に逆導電型領域を深く形成する方法も考えられる。

【0062】なお、本発明に係る構造は、MOSFET のドレイン・ドリフト領域に限らず、オン時にドリフト領域となり、オフ時に空乏化領域となる半導体領域に適用でき、IGBT、バイポーラトランジスタ、ダイオード、JFET、サイリスタ、MESFET、HEMT 等の殆ど総ての半導体素子に適用可能である。また、導電型は逆導電型に適宜変更できる。また、図 1 では並行分割ドリフト群として層状、繊維状、網状又は蜂の巣状を示してあるが、これに限らず、他の繰り返し形状を採用可能である。

【0063】

【発明の効果】以上説明したように、本発明は、オン状態でドリフト電流を流すと共にオフ状態で空乏化する第 1 導電型のドリフト領域を並行分割構造とすると共に、第 1 導電型分割ドリフト経路域の相隣る同士の間（境界）に介在して p n 接合分離する第 2 導電型仕切領域を設けたことを特徴としている。従って、次の効果を奏する。

【0064】① 一筋の第 2 導電型仕切領域の両側面から隣接する双方の第 1 導電型分割ドリフト経路へ空乏端がそれぞれ進入するようになっており、双方へ広がる空乏端が双方の並列の分割ドリフト経路へ有効的に作用しているので、空乏層形成のための第 2 導電型仕切領域 2 の総占有幅を半減でき、その分、第 1 導電型分割ドリフト経路域の断面積の拡大を図ることができ、従前に比してオン抵抗が頗る低減する。第 1 導電型分割ドリフト経路 1 の単位面積当たりの本数（分割数）を増やすにつれ、オン抵抗と耐圧とのトレードオフ関係を大幅に緩和できる。

【0065】② 横型半導体装置におけるドリフト領域としては、短冊状の第 1 導電型分割ドリフト経路域と短冊状の第 2 導電型仕切領域とが平面上で交互に繰り返し配列されたストライプ状並行構造とすることができる。平面上のストライプ状の p n の繰り返し構造は 1 回のフォトリソグラフィで形成可能であるので、製造プロセスの簡易化により半導体装置の低コスト化も図ることができる。

【0066】③ 横型半導体装置におけるドリフト領域の別の構造としては、層状の第 1 導電型分割ドリフト経路域と層状の第 2 導電型仕切領域とを交互に繰り返し積み重ねて積層された重畳並行構造とすることができる。かかる構造では、MOCVD や MBE を用いると、層厚の微細化が可能であるので、オン抵抗と耐圧のトレードオフ関係を大幅に緩和できる。

【0067】④ 横型半導体装置における最も簡単なド

リフト構造としては、第 2 導電型半導体層上に形成された第 1 の第 1 導電型分割ドリフト経路域と、この第 1 の第 1 導電型分割ドリフト経路域の上に形成されたウェル状の第 2 導電型仕切領域と、この第 2 導電型仕切領域の表層に形成され、第 1 の第 1 導電型分割ドリフト経路に並列接続した第 2 の第 1 導電型分割ドリフト経路域とを有して成る構造を採用できるが、第 2 の第 1 導電型分割ドリフト経路域が並列に接続している分、オン抵抗の低減を図ることができる。この構造においては、第 2 の第 1 導電型型分割ドリフト経路域の上層には逆導電型層が隣接していないため、空乏化し易くするには薄層であればある程よい。

【0068】⑤ そして、本発明の製造方法によれば、熱酸化処理工程だけで第 2 の n 型分割ドリフト経路域を形成できるので、工程数の削減に寄与し、実用的な量産化が可能となる。

【0069】⑥ 縦型半導体装置のドリフト領域としては、縦方向に層状の第 1 導電型分割ドリフト経路域と縦方向に層状の第 2 導電型仕切領域とを交互に繰り返し隣接した横並び並行構造とすることができる。かかる構造の製造方法では深い溝を形成するエンチング工程を必要とするが、縦型構造でもオン抵抗と耐圧のトレードオフ関係を大幅に緩和できる。

【図面の簡単な説明】

【図 1】（a）乃至（c）は本発明に係る半導体装置におけるドリフト領域の構造をそれぞれ示す模式図である。

【図 2】（a）は本発明の実施形態 1 に係る横型構造の SOI-MOSFET を示す平面図、（b）は（a）中の A-A' 線で切断した状態を示す切断図、（c）は（a）中の B-B' 線で切断した状態を示す切断図である。

【図 3】（a）は本発明の実施形態 2 に係る 2 重拡散型 n チャネル MOSFET を示す平面図、（b）は（a）中の A-A' 線で切断した状態を示す切断図、（c）は（a）中の B-B' 線で切断した状態を示す切断図である。

【図 4】（a）は本発明の実施形態 3 に係る横型構造の SOI-MOSFET を示す平面図、（b）は（a）中の A-A' 線で切断した状態を示す切断図、（c）は（a）中の B-B' 線で切断した状態を示す切断図である。

【図 5】（a）は本発明の実施形態例 4 に係る横型構造の MOSFET を示す平面図、（b）は（a）中の A-A' 線で切断した状態を示す切断図、（c）は（a）中の B-B' 線で切断した状態を示す切断図である。

【図 6】（a）は本発明の実施形態 5 に係る横型構造の p チャネル MOSFET を示す断面図、（b）は本発明の実施形態 6 に係る横型構造の n チャネル MOSFET を示す断面図である。

【図 7】 (a) は本発明の実施形態例 7 に係る縦型構造のトレンチゲート型の n チャネル MOSFET を示す平面図、(b) は (a) 中の A-A' 線に沿って切断した状態を示す切断図である。

【図 8】 (a) は図 7 (a) 中の B-B' 線に沿って切断した状態を示す切断図、(b) は図 7 (b) 中の C-C' 線に沿って切断した状態を示す切断図である。

【図 9】 (a) は図 7 (a) 中の D-D' 線に沿って切断した状態を示す切断図、(b) は図 7 (a) 中の E-E' 線に沿って切断した状態を示す切断図である。

【図 10】 (a) は従来の横型構造の SOI-MOSFET を示す平面図、(b) はその断面図である。

【図 11】 (a) は従来の横型構造の MOSFET の別の構造を示す断面図、(b) は従来の 2 重拡散型 n チャネル MOSFET の構造を示す断面図である。

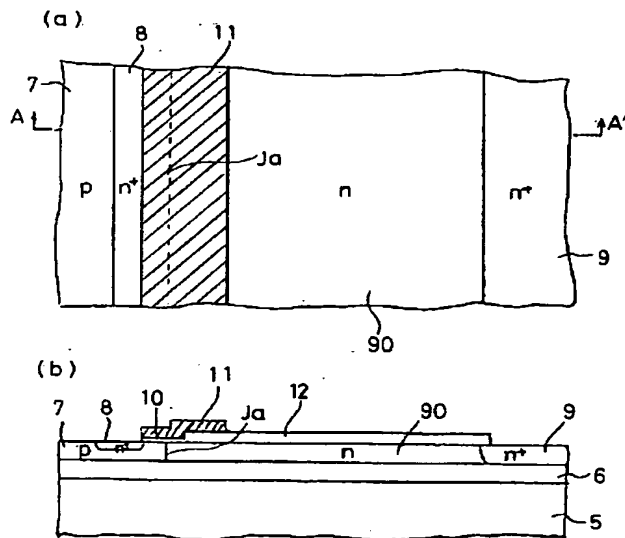
【図 12】 従来のトレンチゲート型の n チャネル MOSFET を示す断面図である。

【図 13】 各種のシリコン n チャネル MOSFET の理想耐圧と理想オン抵抗とのトレードオフ関係を示すグラフである。

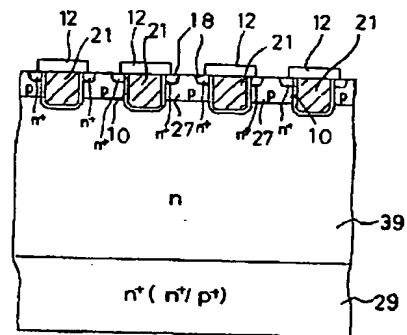
【符号の説明】

- 1 … n 型分割ドリフト経路域
- 1 a … 連結部位
- 2 … p 型仕切領域
- 2 a … p 型側端領域
- 3 … n 型チャネル拡散層
- 4 … p 型半導体層
- 5 … 半導体基体
- 6 … 絶縁膜
- 7 … p 型チャネル拡散層
- 8 … n^+ 型ソース領域
- 9 … n^+ 型ドレイン領域
- 10 … ゲート絶縁膜
- 11 … フィールドプレート付きゲート電極
- 12 … 厚い絶縁膜
- 13 … チャネル反転層
- 14 … p 型低濃度領域
- 17 … p 型チャネル拡散領域
- 18, 28 … p^+ 型ソース領域
- 19 … p^+ 型ドレイン領域
- 21 … トレンチゲート電極
- 22 … n 型低濃度ドレイン層
- 24 … p 型トップ層
- 27 … p 型チャネル層
- 29 … n^+ 型ドレイン層
- 39 … n 型低濃度ドレイン層
- 71 … n^+ 型コンタクト領域
- 72 … p^+ 型コンタクト領域
- 77 … p 型チャネル拡散層
- 88 … n^+ 型ソース領域
- 90 … n 型低濃度ドレイン領域 (ドレイン・ドリフト領域)
- 99 … p 型ドレイン領域
- 100 … 並行ドリフト経路群
- 111 … トレンチゲート電極
- 90, 122, 139, 290 … ドレイン・ドリフト領域
- e … 空乏端
- J a, J b … $p-n$ 接合。

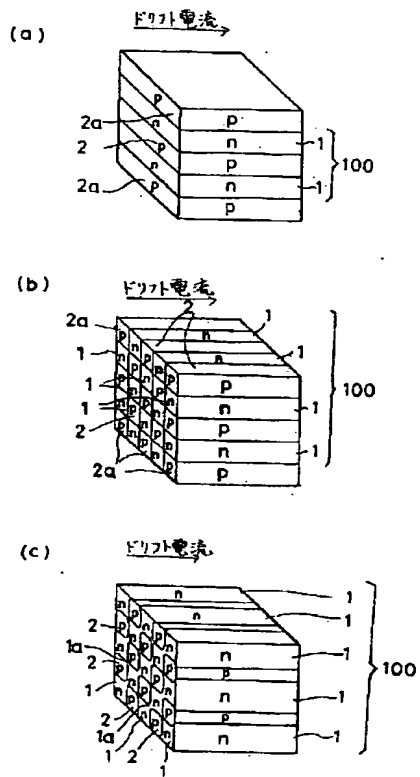
【図 10】



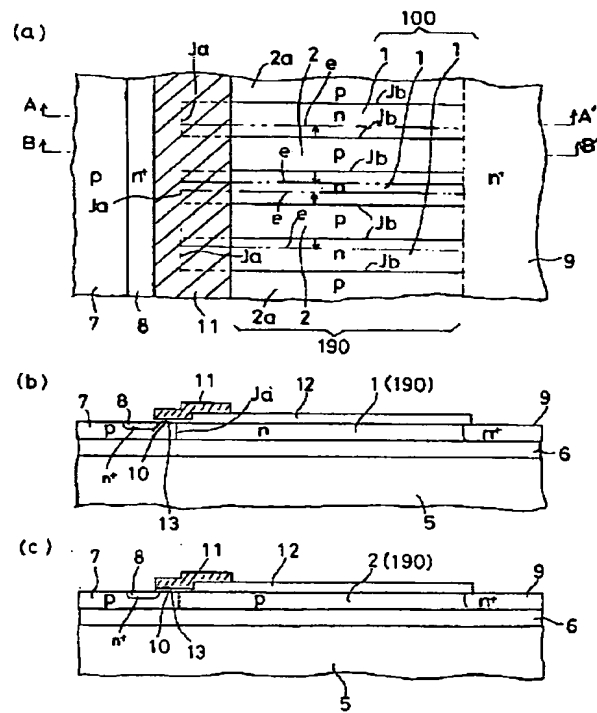
【図 12】



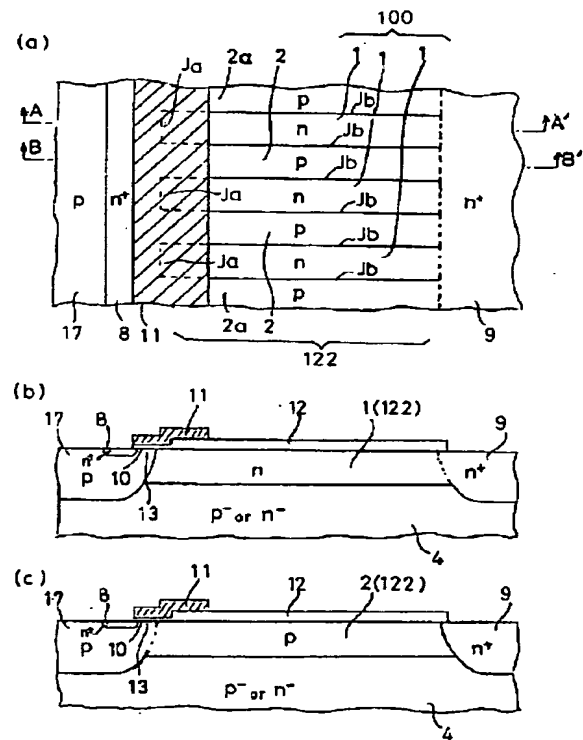
【図 1】



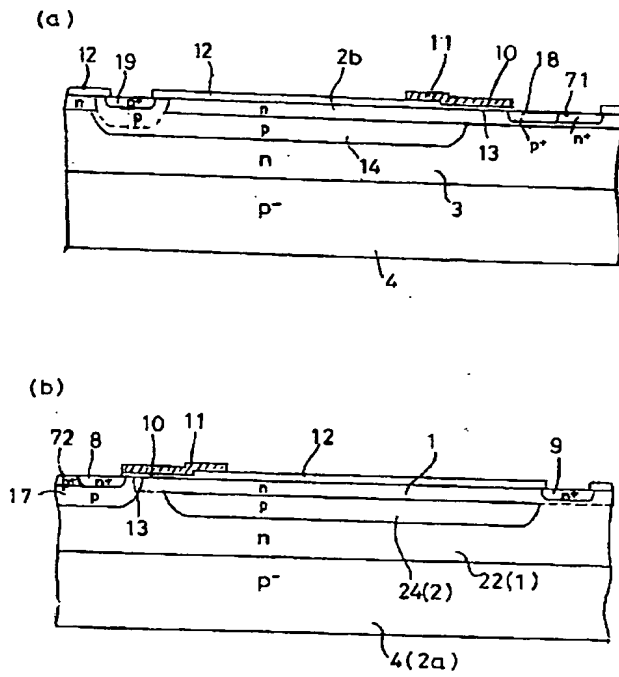
【図 2】



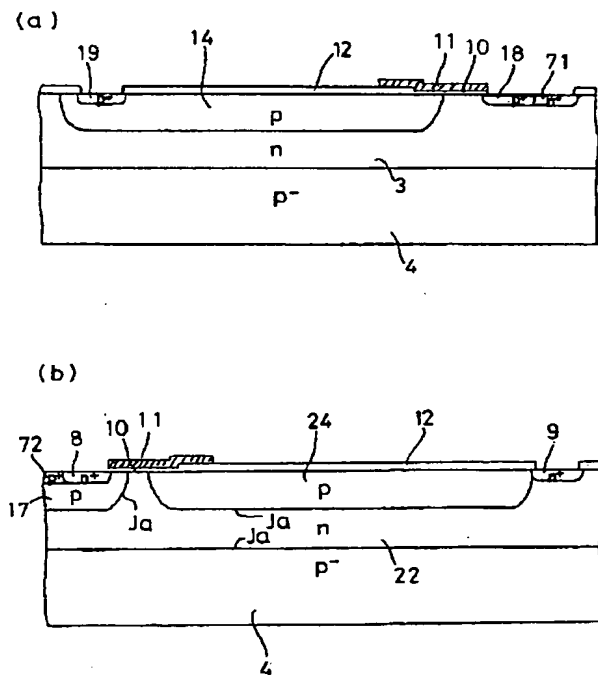
【図 3】



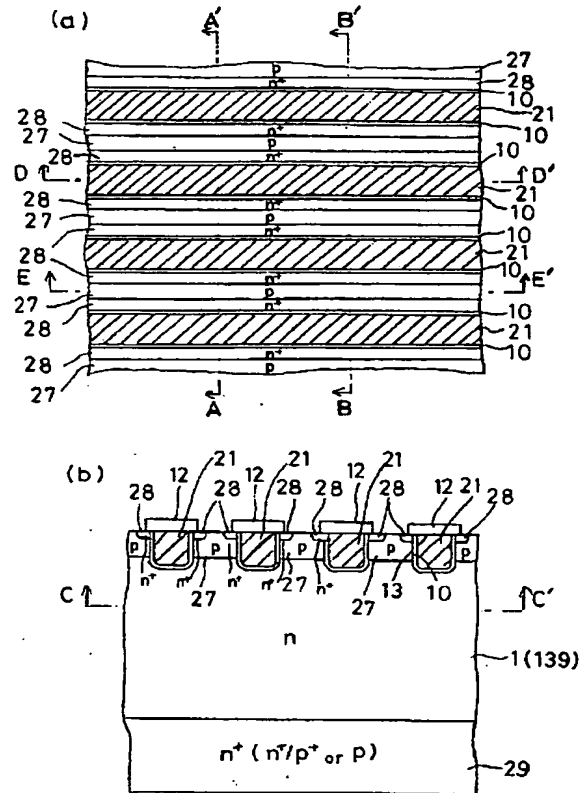
【図6】



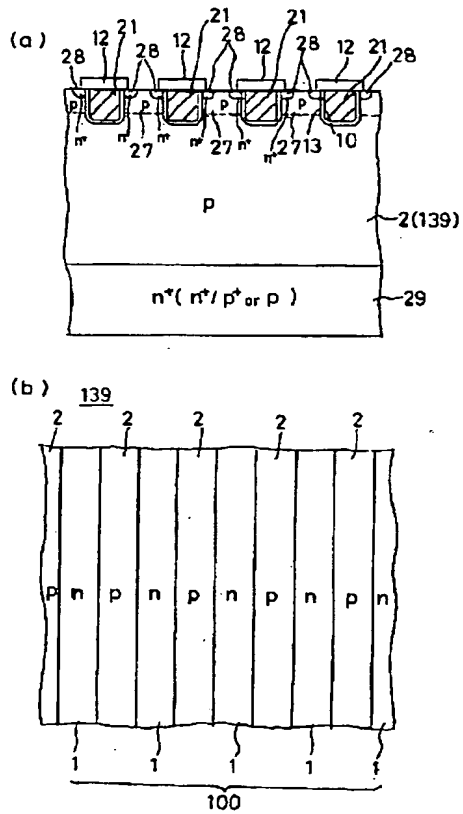
【図11】



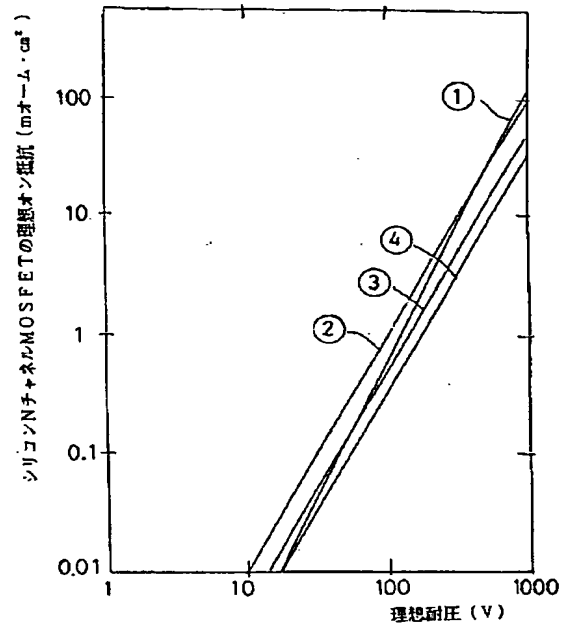
【図7】



【図 8】



【図 13】



フロントページの続き

(51)Int. Cl. 6

識別記号

庁内整理番号
9447-4MFI
H O I L 29/78

技術表示箇所

6 5 3 C